

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-082053

(43)Date of publication of application : 08.04.1991

(51)Int.Cl.

H01L 21/76

(21)Application number : 01-218200

(71)Applicant : NEC CORP

(22)Date of filing : 24.08.1989

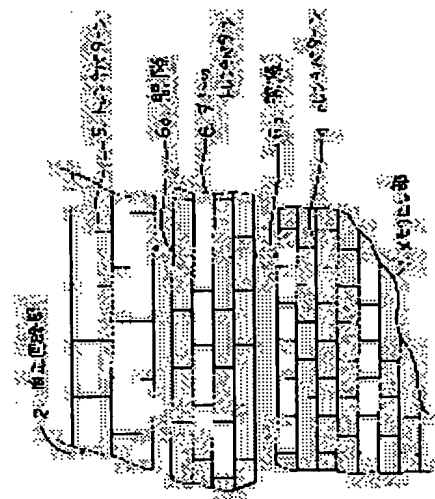
(72)Inventor : NAKAMAE MASAHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To realize uniformly flattened embedding and overcome disadvantageous points caused by different film thicknesses of a low fusing point glass on the surface of a board which take place as a result of the roughness of each trench pattern by forming trench patterns for dummy use even at the blank part in the trench patterns on the semiconductor board, thereby performing flattening embedding of the blank part with the embedding materials.

CONSTITUTION: Trench patterns 4 and 5 for interelement isolation are formed on a semiconductor board and, in a semiconductor device in which the above patterns 4 and 5 are embedded flatly with embedding materials, trench patterns 6 for dummy use are formed even at the blank part in the trench patterns on the above board and then, its blank part is embedded flatly with the embedding materials. For example, the trench patterns 6 for dummy use are provided between a memory cell part 1 which is embedded very much with the extremely dense trench patterns 4 and a peripheral circuit part 2 which is embedded with the relatively rough trench patterns 5 after being spaced by a gap 6b from the memory cell part and by a gap 6a from the peripheral circuit part at a distance about $5\mu\text{m}$ respectively. Yet, it is preferable that the trench patterns 6 for dummy use are embedded as dense as possible and then, for example, a group of patterns having the same unit as that of the memory cell part 1 is used for the trench patterns for dummy use.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑬ Int. Cl.⁵

H 01 L 21/76

識別記号

L

庁内整理番号

7638-5F

⑭ 公開 平成3年(1991)4月8日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-218200

⑰ 出 願 平1(1989)8月24日

⑱ 発 明 者 中 前 正 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 桑井 清一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

素子間分離のためのトレンチパターンを半導体基板上に形成し、該トレンチパターンを埋設材料により平坦化埋設した半導体装置において、半導体基板上のトレンチパターンの空白部にもダミー用のトレンチパターンを形成し、埋設材料により平坦化埋設を施したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は低融点ガラス膜等により平坦化埋設されたトレンチ分離構造を有する高速・高集積の半導体装置に関し、特にメモリーセル部やロジックセル部のようなトレンチパターンが極めて密な領域と、周辺回路部のようなトレンチパターンが比較的疎な領域が混在する場合のチップ全体の均一

平坦化トレンチ分離技術に関する。

〔従来の技術〕

従来、トレンチ分離構造は電気的に絶縁分離が必要な場所のみに設けられており、LSIチップ全体ではトレンチパターンの極めて密な領域と、疎な領域とが混在していた。以下に図面を用いて説明する。第2図は一例として従来のバイポーラ型半導体メモリ装置の一部を示す平面図である。メモリセル部1は極めて密なトレンチパターン4が形成されており、このメモリセル部1からトレンチパターンのない空白部3をはさんで周辺回路部2が存在する。この周辺回路部2は比較的疎なトレンチパターン5が形成されている。

〔発明が解決しようとする課題〕

上述した従来のトレンチ分離構造では、トレンチパターンの疎密が場所により大きく異なるので、埋設材料である低融点ガラスで平坦化埋設を行うときに上記トレンチパターンの疎密により、形成

直後の基板表面上の低融点ガラス膜厚が異なってしまう。すなわち、トレンチパターンの疎な所は厚く、密なところは薄くなる。この為、形成後の低融点ガラス膜をエッチバックすると、トレンチパターンの密な所がどうしてもオーバーエッチ状態となり、平坦埋設を損なうへこみを生じるといふ欠点がある。さらには、その場所でのトレンチ層部の低融点ガラスの下に予め設けてある絶縁膜もアタックされ、基板が露出する欠点がある。上記事情を第2図中のY-Y'矢視断面を示す第3図(a)において、半導体基板10のメモリセル領域1にトレンチ11を形成した後、基板表面に熱酸化膜12が形成され、続いて窒化シリコン膜13が被着され、さらにBPSG膜(ボロン・リン・珪酸ガラス膜)14が被着される。

次に、第3図(b)において、1000℃程度のリフローを行うとメモリセル部1は完全に平坦になるが、トレンチパターンの空白部3との間に膜厚差15を生じる。次に、第3図(c)におい

ンを形成するという相違点を有する。

【課題を解決するための手段】

本発明の半導体装置は、素子間分離のためのトレンチパターンを半導体基板上に形成し、該トレンチパターンを埋設材料により平坦化埋設した半導体装置において、半導体基板上のトレンチパターンの空白部にもダミー用のトレンチパターンを形成し、埋設材料により平坦化埋設を施したことを特徴とする。

尚、トレンチパターンの空白部にダミー用のトレンチパターンを形成するが、適宜、マスク位置合わせ用、工程管理用、外部取り出しパッド用等のパターンの存在する特定の領域にはダミー用トレンチパターンを形成しない。

【実施例】

次に本発明について図面を用いて説明する。第1図は本発明の平面図であり、第2図で説明したのと同じくバイポーラ型半導体メモリ装置の一部

で、B1SG膜14をエッチバックすると、メモリセル部1のトレンチ11には少なくとも前記膜厚差15の高さ分の深さでへこみが生じる。

さらに極端な場合には、へこみ部分のトレンチの角の所で、窒化シリコン膜13がエッチバック工程でアタックされ、その下の熱酸化膜12が露出し、続く工程でその熱酸化膜12がエッチングされ、半導体基板10が露出してしまうことが起きる。この為に、通常バイポーラトランジスタの引出し電極に用いられる多結晶シリコン膜と半導体基板がショート不良を起こしてしまうことがあった。

本発明は上記従来の事情に鑑みなされたもので、均一な平坦化埋設を実現し上記不具合を合理的に解決した半導体装置を提供することを目的とする。

【発明の従来技術に対する相違点】

本発明は上述した従来のトレンチ分離パターンの配置に対し、電気的に絶縁分離の必要のない部分にもトレンチの密なダミー用のトレンチパター

を示してある。極めて密なトレンチパターン4で埋め尽くされたメモリセル部1と、比較的疎なトレンチパターン5で埋められた周辺回路部2との間にある距離の間隙6a、6bを隔ててダミー用のトレンチパターン6が設けられている。このダミーのトレンチパターン5はできるだけ密な方が好ましいため、ここではメモリセル部1と同じ単位パターンの集団を用いている。但し、ダミーのトレンチパターン6とメモリセル部1あるいは周辺回路部2とのトレンチパターンの相対的な配置関係はなくても良い。

尚、間隙6a、6bは同一である必要はないが、通常5μm程度になるようにダミーのトレンチパターン6を形成する。

本実施例によれば、低融点ガラスで平坦化埋設を行った場合、ダミー用トレンチパターン6の存在により半導体基板全体にわたって低融点ガラス膜が均一な膜厚で形成できる。従って、エッチバック時のオーバーエッチを防止することができ、均質なトレンチ分離構造の半導体装置が得られる。

【発明の効果】

以上説明したように本発明は、通常の電氣的なトレンチ素子分離パターン以外にダミー用のトレンチパターンを設けたため、ほぼ完全に半導体基板上のどの場所でも平坦化された絶縁埋設トレンチ分離が実現でき、高い製造歩留まりで超高速、高集積の半導体装置が得られる。

またさらに、通常金属配線や多結晶シリコン抵抗等が配置されるダミー用のトレンチパターン領域は、深さが5 μ m程度の深いトレンチを絶縁物で埋設したいるため、トレンチパターンが密な程前記金属配線や多結晶シリコン抵抗の下につく寄生容量が平均的に小さくなり、この面からも超高速化に有利である。

4. 図面の簡単な説明

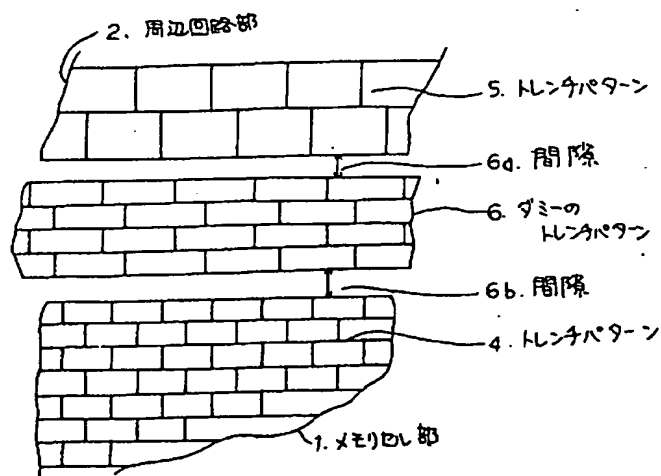
第1図は本発明の一実施例を示す平面図、第2図は従来の例を示す平面図、第2図は従来の例を示す平面図、第3図(a)(b)(c)はそれぞれ

れ第2図中のY-Y'矢視に対応して平坦化埋設プロセスを示す断面図である。

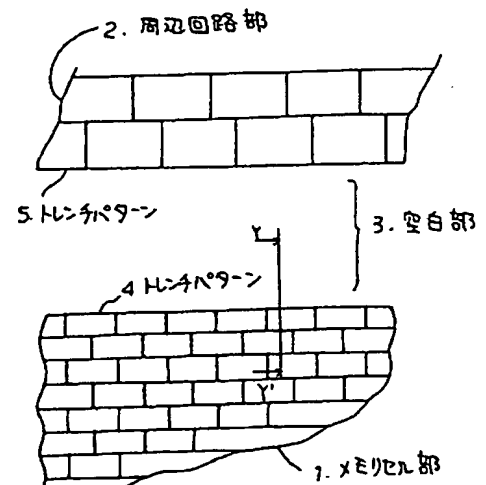
- 1 メモリセル部、
- 2 周辺回路部、
- 3 空白部、
- 4, 5 トレンチパターン、
- 6 ダミー用のトレンチパターン、
- 6a, 6b 間隙、
- 10 半導体基板、
- 12 熱酸化膜、
- 13 窒化シリコン膜、
- 14 BPSG膜、
- 15 膜厚差。

特許出願人 日本電気株式会社

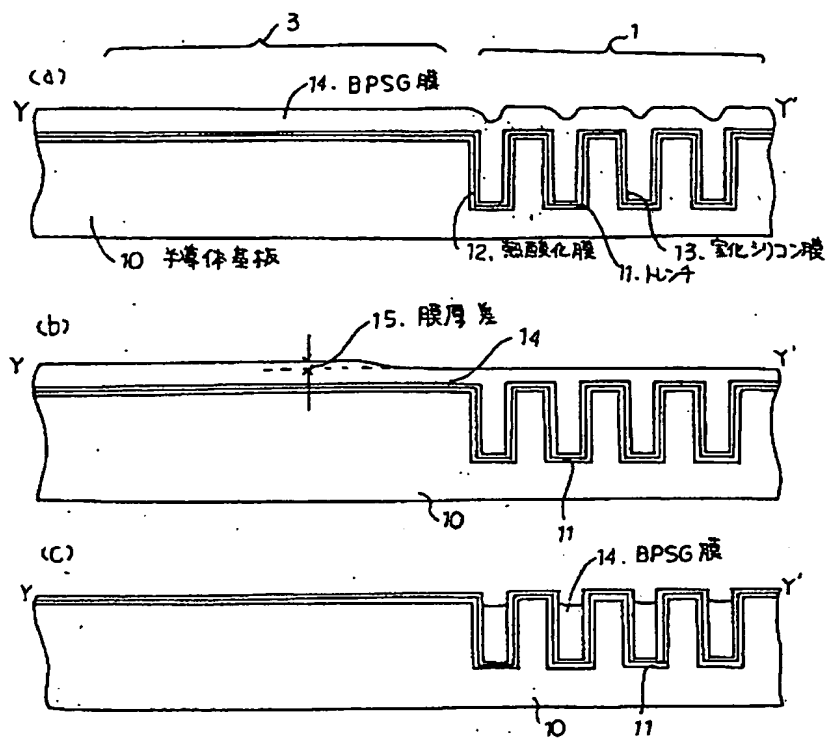
代理人 弁理士 桑 井 清 一



第1図



第2図



第3図